

**METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE**

Patent Number: JP2001102590  
Publication date: 2001-04-13  
Inventor(s): MATSUMOTO KAZUHIKO; SAKAMOTO KUNIHIRO  
Applicant(s): AGENCY OF IND SCIENCE & TECHNOL;; MATSUMOTO KAZUHIKO  
Requested Patent: ☐ JP2001102590  
Application Number: JP19990277444 19990929  
Priority Number(s):  
IPC Classification: H01L29/786; H01L21/336; H01L27/12  
EC Classification:  
Equivalents: JP3371121B2

**Abstract**

**PROBLEM TO BE SOLVED:** To sandwich an electrode material, serving as a lower gate, at the time of wafer bonding using a wafer bonding technology.

**SOLUTION:** A double gate field effect transistor comprises a lower gate electrode 3, a lower gate insulating film 4, a channel layer 5, a gate insulation film 7, and an upper gate electrode 8. An electrode material, serving as a lower gate 3, is sandwiched at the time of wafer bonding using a wafer bonding technology. Other process is similar to existing process for fabricating silicon integrated circuit in the fabrication of a semiconductor device, e.g. a double gate field effect transistor.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2001-102590  
(P2001-102590A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 29/786  
21/336  
27/12

H 0 1 L 27/12  
29/78

B 5 F 1 1 0  
6 2 7 D  
6 1 7 N

審査請求 有 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平11-277444

(22) 出願日 平成11年9月29日 (1999.9.29)

(71) 出願人 000001144

工業技術院長

東京都千代田区霞が関1丁目3番1号

(71) 出願人 599137448

松本 和彦

茨城県つくば市梅園1丁目1番4 電子技  
術総合研究所内

(72) 発明者 松本 和彦

茨城県つくば市梅園1丁目1番4 電子技  
術総合研究所内

(74) 指定代理人 220000356

工業技術院電子技術総合研究所長

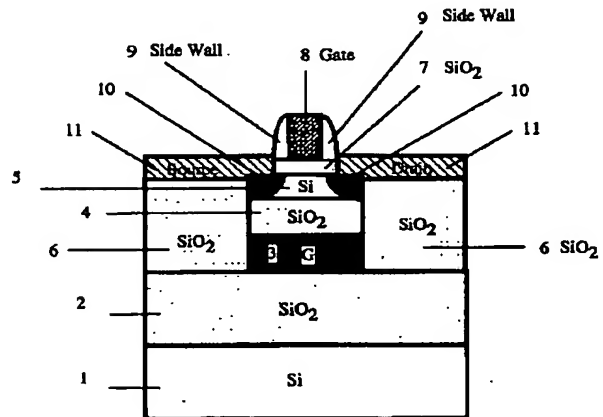
最終頁に続く

(54) 【発明の名称】 半導体製造方法

(57) 【要約】

【課題】 ウェハボンディング技術を用い、ウェハボンディングの際に下部ゲートとなる電極材料を挟み込むようにした。

【解決手段】 ダブルゲート構造電界効果トランジスタは、下部ゲート電極3、下部ゲート絶縁膜4、チャンネル層5、ゲート絶縁膜7、上部ゲート電極8を備える。ウェハボンディング技術を用い、ウェハボンディングの際に下部ゲート3となる電極材料を挟み込むようにした。また、その他のプロセスは、主に、既存のシリコン集積回路作製プロセスと同等のものを採用することにより、ダブルゲート構造電界効果トランジスタ等の半導体素子を製造する。



## 【特許請求の範囲】

【請求項1】一方の酸化物／半導体基板については、酸化物上に低抵抗・導電性材料により下部ゲート電極を形成することにより、下部ゲート電極及び酸化物及び半導体基板として用いる部分を形成する工程と、  
他方の酸化物／半導体基板を下部ゲート絶縁膜とチャンネル層として用い、下部ゲート絶縁膜側を、下部ゲート電極側に密着して張り合わせる工程と、  
マスクを用いてチャンネル層、下部ゲート絶縁膜、下部ゲート電極をエッチングし、電解効果型トランジスタを作製する領域のパターニングを行う工程と、  
試料全体に酸化膜を形成し、エッチバックを行って、電解効果型トランジスタを作製する領域の半導体表面を露出させる工程と、

チャンネル層の表面を熱酸化して上部ゲート絶縁膜を形成し、チャンネル層にソース、ドレインの不純物拡散領域を形成する工程とを備えた半導体製造方法。

【請求項2】一方のSOI基板については、一方のシリコン層に不純物をドーピングして低抵抗層を形成して下部ゲート電極として用い、シリコン半導体基板、酸化シリコン、下部ゲート電極として用いられる部分を形成する工程と、

他方のSOI基板については、一方のシリコン層表面を酸化し、下部ゲート絶縁膜を形成して、シリコン層、酸化シリコン層、チャンネル層、下部ゲート絶縁膜として用いられる部分を形成する工程と、

一方のSOI基板の下部ゲート電極としての低抵抗シリコンと、他方のSOI基板のゲート絶縁膜としての酸化シリコン膜とを密着して張り合わせる工程と、

他方のSOI基板のシリコン層を酸化シリコン層をエッチングストッパーとしてエッチングする工程と、

他方のSOI基板の酸化シリコン層を除去し、チャンネル層を露出する工程と、

チャンネル層の表面を熱酸化して上部ゲート絶縁膜を形成し、チャンネル層にソース、ドレインの不純物拡散領域を形成する工程とを備えた半導体製造方法。

【請求項3】シリコン層／酸化シリコン層／シリコン層から構成される一方のSOI基板については、一方のシリコン層に不純物をドーピングして低抵抗層を形成して下部ゲート電極として用い、下部ゲート層の低抵抗層表面を酸化し、下部ゲート絶縁膜を形成することにより、シリコン半導体基板、酸化シリコン、下部ゲート層、下部ゲート絶縁膜として用いられる部分を形成する工程と、  
他方のSOI基板については、シリコン基板、酸化シリコン層、チャンネル層として用い、一方の基板の下部ゲート絶縁膜と他方のSOI基板のチャンネル層とを密着して張り合わせる工程と、

他方のSOI基板のシリコン基板を、酸化シリコン層をエッチングストッパーとし、エッチングする工程と、  
他方のSOI基板の酸化シリコン層を除去し、チャンネル層

を露出する工程と、

チャンネル層の表面を熱酸化して上部ゲート絶縁膜を形成し、チャンネル層にソース、ドレインの不純物拡散領域を形成する工程とを備えた半導体製造方法。

【請求項4】SOI基板について、一方のシリコン層に不純物をドーピングして低抵抗層を形成して下部ゲート電極として用い、シリコン半導体基板、酸化シリコン、下部ゲート層として用いられる部分を形成する工程と、  
Si基板について、チャンネル層として用いられるとともに、そのシリコン表面を酸化して下部ゲート絶縁膜を形成する工程と、

SOI基板のシリコンと、Si基板の酸化シリコン膜とを密着して張り合わせる工程と、

マスクを用いてチャンネル層、下部ゲート絶縁膜、下部ゲート電極をエッチングし、電解効果型トランジスタを作製する領域のパターニングを行う工程と、

試料全体に酸化膜を形成し、エッチバックを行って、電解効果型トランジスタを作製する領域のシリコン表面を露出させる工程と、

チャンネル層の表面を熱酸化して上部ゲート絶縁膜を形成し、チャンネル層にソース、ドレインの不純物拡散領域を形成する工程とを備えた半導体製造方法。

【請求項5】SOI基板については、一方のシリコン層に不純物をドーピングして低抵抗層を形成して下部ゲート電極として用い、下部ゲート層の低抵抗シリコン層表面を酸化し、下部ゲート絶縁膜を形成することにより、シリコン半導体基板、酸化シリコン、下部ゲート層、下部ゲート絶縁膜として用いられる部分を形成する工程と、  
SOI基板の下部ゲート絶縁膜と、チャンネル層として用いられるSi基板を密着して張り合わせる工程と、

マスクを用いてチャンネル層、下部ゲート絶縁膜、下部ゲート電極をエッチングし、電解効果型トランジスタを作製する領域のパターニングを行う工程と、

試料全体に酸化膜を形成し、エッチバックを行って、電解効果型トランジスタを作製する領域のシリコン表面を露出させる工程と、

チャンネル層の表面を熱酸化して上部ゲート絶縁膜を形成し、チャンネル層にソース、ドレインの不純物拡散領域を形成する工程とを備えた半導体製造方法。

【請求項6】シリコン半導体基板、酸化シリコン、下部ゲート層、下部ゲート絶縁膜、チャンネル層を含む張り合わせ構造について、チャンネル層のシリコンを酸化して、上部ゲート絶縁膜として用いられる部分を形成する工程と、

上部ゲート絶縁膜上に、上部ゲート電極及びサイドウォールを形成する工程と、

形成された上部ゲート電極及びサイドウォールをマスクとして、上部ゲート絶縁膜、チャンネル層、下部ゲート絶縁膜、下部ゲート電極として用いられる部分をエッチングする工程と、

堆積させた酸化シリコンをエッチングを行い、ゲート領域の頭出しを行い、ついでゲートのサイドウォールを取り去る工程と、

先に形成したサイドウォールよりも薄いサイドウォールを形成し、上部ゲート電極および薄いサイドウォールをマスクとして、上部ゲート絶縁膜をエッチングしチャネル層を露出させる工程と、

上部ゲート電極および薄いサイドウォールをマスクとして、ソース及びドレインの高濃度層拡散領域を形成し、ソース及びドレインの電極を形成する工程とを備えた半導体製造方法。

【請求項7】前記密着させ張り合わせる工程の後、下部ゲート電極と下部ゲート絶縁膜との反応をすすめるために、高温で過熱する工程をさらに含むようにした請求項1乃至6のいずれかに記載の半導体製造方法。

【請求項8】チャネル領域のエッチングを行う際、マスクとしてフォトリソと窒化シリコンを用いてエッチングし、

フォトリソを除去し、

半導体基板又は低抵抗シリコン層を、窒化シリコン表面近傍まで到達するように酸化し、

表面の窒化シリコンを酸化シリコンと同時にエッチング除去するようにした請求項1乃至7のいずれかに記載の半導体製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造方法に係り、特に、上部ゲートと下部ゲートを有する構造を有するダブルゲート電解効果トランジスタに関し、下部ゲートを張り合わせて下部ゲートを形成するようにした半導体製造方法に関する。

【0002】

【従来の技術】一般に、電解効果トランジスタのゲート長が、例えば0.1mm以下の領域に入ると、上部ゲートだけではソース、ドレイン間を流れる電流を完全に遮断することが困難になり、リーク電流の増大により、電解効果トランジスタはもはや正常に動作しにくい領域に入る。この解決法としては、上部ゲートのみならず、バックに下部ゲートを設けたダブルゲート構造が提案されている。理論的な予測によると、ゲート長が0.1mm以下の領域では、良好な特性を維持するためには、ダブルゲート構造が必要不可欠であるとも言われている。

【0003】

【発明が解決しようとする課題】しかしながら、従来、下部ゲートを形成することは非常に困難であり、従来提案されてきた手法は、プロセスが複雑な方法でしか実現できず、このような手法ではシリコン大規模集積回路に適用し、大量生産することは難しかった。その理由の一つは、アモルファスである酸化シリコン上に下部ゲートとして使用する良質な結晶シリコンを成長することが困

難であることに起因する。従って、より容易に作製でき、大規模集積回路に適し、かつ大量生産可能なバックゲート構造の電解効果トランジスタの作製手法の開発が望まれていた。

【0004】本発明においては、特に、ウェハボンディング技術を用い、ウェハボンディングの際に下部ゲートとなる電極材料を挟み込むようにした。本発明は、このような製造プロセスを採用することで、半導体の作製を極めて容易とし、かつ、現在の大規模集積化に適した大口径ウエハの使用を可能とすることを目的とする。また、本発明は、このプロセス以外の他のプロセスは、既存のシリコン集積回路作製プロセスと同等のものを採用することにより、極めて容易で大量生産に適したダブルゲート構造電界効果トランジスタ(MOSFET)等の半導体素子の製造方法を提供することを目的とする。さらに、本発明は、上部及び下部ゲート電極を同じ又はほぼ同じ大きさに形成し、静電容量を減少させ動作を高速としたダブルゲート構造電界効果トランジスタ(MOSFET)等の半導体素子の製造方法を提供することを目的とする。本発明は、酸化膜成長を用いることにより、チャネル領域の頭出しを、より容易に且つ確実に行うことを目的とする。

【0005】

【課題を解決するための手段】本発明の第1の解決手段によると、一方の酸化シリコン/シリコン基板については、低抵抗・導電性材料による層を形成することにより、下部ゲート電極及び酸化シリコン及びシリコン半導体基板として用いる部分を形成する工程と、他方の酸化シリコン/シリコン基板を下部ゲート絶縁膜とチャネル層として用い、下部ゲート絶縁膜側を、下部ゲート電極側に密着して張り合わせる工程と、マスクを用いてチャネル層、下部ゲート絶縁膜、下部ゲート電極をエッチングし、電解効果型トランジスタを作製する領域のパターニングを行う工程と、試料全体に酸化膜を形成し、エッチバックを行って、電解効果型トランジスタを作製する領域のシリコン表面を露出させる工程と、チャネル層の表面を熱酸化して上部ゲート絶縁膜を形成し、チャネル層にソース、ドレインの不純物拡散領域を形成する工程とを備えた半導体製造方法を提供する。

【0006】本発明の第2の解決手段によると、一方のSOI基板については、一方のシリコン層に不純物をドーピングして低抵抗層を形成して下部ゲート電極として用い、シリコン半導体基板、酸化シリコン、下部ゲート電極として用いられる部分を形成する工程と、他方のSOI基板については、一方のシリコン層表面を酸化し、下部ゲート絶縁膜を形成して、シリコン層、酸化シリコン層、チャネル層、下部ゲート絶縁膜として用いられる部分を形成する工程と、一方のSOI基板の下部ゲート電極としての低抵抗シリコンと、他方のSOI基板のゲート絶縁膜としての酸化シリコン膜とを密着して張り合わせる

工程と、他方のSOI基板のシリコン層を酸化シリコン層をエッチングストッパーとしてエッチングする工程と、他方のSOI基板の酸化シリコン層を除去し、チャネル層を露出する工程と、チャネル層の表面を熱酸化して上部ゲート絶縁膜を形成し、チャネル層にソース、ドレインの不純物拡散領域を形成する工程とを備えた半導体製造方法を提供する。

【0007】本発明の第3の解決手段によると、シリコン層／酸化シリコン層／シリコン層から構成される一方のSOI基板については、一方のシリコン層に不純物をドーピングして低抵抗層を形成して下部ゲート電極として用い、下部ゲート層の低抵抗層表面を酸化し、下部ゲート絶縁膜を形成することにより、シリコン半導体基板、酸化シリコン、下部ゲート層、下部ゲート絶縁膜として用いられる部分を形成する工程と、他方のSOI基板については、シリコン基板、酸化シリコン層、チャネル層として用い、一方の基板の下部ゲート絶縁膜と他方のSOI基板のチャネル層とを密着して張り合わせる工程と、他方のSOI基板のシリコン基板を、酸化シリコン層をエッチングストッパーとし、エッチングする工程と、他方のSOI基板の酸化シリコン層を除去し、チャネル層を露出する工程と、チャネル層の表面を熱酸化して上部ゲート絶縁膜を形成し、チャネル層にソース、ドレインの不純物拡散領域を形成する工程とを備えた半導体製造方法を提供する。

【0008】本発明の第4の解決手段によると、SOI基板について、一方のシリコン層に不純物をドーピングして低抵抗層を形成して下部ゲート電極として用い、シリコン半導体基板、酸化シリコン、下部ゲート層として用いられる部分を形成する工程と、Si基板について、チャネル層として用いられるとともに、そのシリコン表面を酸化して下部ゲート絶縁膜を形成する工程と、SOI基板のシリコンと、Si基板の酸化シリコン膜とを密着して張り合わせる工程と、マスクを用いてチャネル層、下部ゲート絶縁膜、下部ゲート電極をエッチングし、電解効果型トランジスタを作製する領域のパターニングを行う工程と、試料全体に酸化膜を形成し、エッチバックを行って、電解効果型トランジスタを作製する領域のシリコン表面を露出させる工程と、チャネル層の表面を熱酸化して上部ゲート絶縁膜を形成し、チャネル層にソース、ドレインの不純物拡散領域を形成する工程とを備えた半導体製造方法を提供する。

【0009】本発明の第5の解決手段によると、SOI基板については、一方のシリコン層に不純物をドーピングして低抵抗層を形成して下部ゲート電極として用い、下部ゲート層の低抵抗シリコン層表面を酸化し、下部ゲート絶縁膜を形成することにより、シリコン半導体基板、酸化シリコン、下部ゲート層、下部ゲート絶縁膜として用いられる部分を形成する工程と、SOI基板の下部ゲート絶縁膜と、チャネル層として用いられるSi基板を密着

して張り合わせる工程と、マスクを用いてチャネル層、下部ゲート絶縁膜、下部ゲート電極をエッチングし、電解効果型トランジスタを作製する領域のパターニングを行う工程と、試料全体に酸化膜を形成し、エッチバックを行って、電解効果型トランジスタを作製する領域のシリコン表面を露出させる工程と、チャネル層の表面を熱酸化して上部ゲート絶縁膜を形成し、チャネル層にソース、ドレインの不純物拡散領域を形成する工程とを備えた半導体製造方法を提供する。

【0010】本発明の第6の解決手段によると、シリコン半導体基板、酸化シリコン、下部ゲート層、下部ゲート絶縁膜、チャネル層を含む張り合わせ構造について、チャネル層のシリコンを酸化して、上部ゲート絶縁膜として用いられる部分を形成する工程と、上部ゲート絶縁膜上に、上部ゲート電極及びサイドウォールを形成する工程と、形成された上部ゲート電極及びサイドウォールをマスクとして、上部ゲート絶縁膜、チャネル層、下部ゲート絶縁膜、下部ゲート電極として用いられる部分をエッチングする工程と、堆積させた酸化シリコンをエッチングを行い、ゲート領域の頭出しを行い、ついでゲートのサイドウォールを取り去る工程と、先に形成したサイドウォールよりも薄いサイドウォールを形成し、上部ゲート電極および薄いサイドウォールをマスクとして、上部ゲート絶縁膜をエッチングしチャネル層を露出させる工程と、上部ゲート電極および薄いサイドウォールをマスクとして、ソース及びドレインの高濃度層拡散領域を形成し、ソース及びドレインの電極を形成する工程とを備えた半導体製造方法を提供する。

【0011】

【発明の実施の形態】(1)半導体デバイスの構成

図1に、本発明に係る半導体製造方法により製造される半導体デバイスの構成図を示す。この図はダブルゲート電解効果トランジスタを示すものであるが、本発明の製造方法は、電解効果トランジスタ以外にも、ダブルゲートを有する半導体デバイスに広く適用することができる。また、以下の実施の形態では、半導体材料、絶縁物材料等としてシリコンをベースとした材料を例に説明するが、本発明は、これに限らず適宜の半導体材料に適用することもできる。本実施の形態のダブルゲート電解効果トランジスタは、シリコン半導体基板1、酸化シリコン2、下部ゲート電極(G)3、下部ゲート絶縁膜4、チャネル層5、酸化シリコン6、上部ゲート絶縁膜7、上部ゲート電極8、サイドウォール9、ソース及びドレインの拡散領域10、ソース及びドレインの取り出し用の電極11を備える。

【0012】酸化シリコン2は、例えば、シリコン半導体基板1を酸化して形成される。下部ゲート電極3は、酸化シリコン2上に形成される。下部ゲート電極3は、例えば、タングステン、モリブデン、熱プロセスにおいて、半導体、SiO<sub>2</sub>等と反応しない耐熱金属、熱プロセス

中に金属が他の $\text{SiO}_2$ 、Siに化合物が進入しない材料（例えば、ポリシリコン）、アモルファスシリコン、低抵抗シリコン等の低抵抗半導体（ $n^+$ ,  $n^{++}$ ,  $p^+$ ,  $p^{++}$ ）、結晶シリコン、等の適宜の低抵抗（導電性）材料を用いることができる。下部ゲート絶縁膜4は、例えば、シリコン酸化膜により形成される。この下部ゲート絶縁膜4と下部ゲート電極3は、例えば、熱的に融合させて又は圧着により、接着又は接合させる。チャネル層5は、例えば、シリコンにより形成される。酸化シリコン6は、基板を平坦にするための埋め戻しの為のものであり、材料は、酸化シリコン以外の窒化シリコンでも、他の絶縁材料に置換することもできる。上部ゲート電極8と下部ゲート電極3は、同電位に電圧を印加しても、またそれぞれ独立に電圧を印加してもよい。

#### 【0013】(2) 第1の実施の形態

図2及び図3に、本発明に係る半導体製造方法についての第1の実施の形態の工程図を示す。以下の工程により、第1の実施の形態の製造方法が実現される。

1) まず、シリコン半導体基板1上に酸化シリコン薄膜を有する酸化シリコン/シリコン基板を2枚用意する。図2(a)に示すように、一方の酸化シリコン/シリコン基板については、例えば、酸化シリコン上に、不純物ドーピングした低抵抗ポリシリコン層の下部ゲート電極3を形成するか、または、上述の低抵抗（導電性）材料による層を蒸着等の方法で形成する。こうして、下部ゲート電極3及び酸化シリコン2及びシリコン半導体基板1として用いる部分が形成される。また、他方の酸化シリコン/シリコン基板については、下部ゲート絶縁膜4とチャネル層5として用いる。これら形成された基板について、一方の下部ゲート絶縁膜4側を、他方の下部ゲート電極3側に密着又は接合させる。

2) つぎに、基板を高温の酸化炉内で過熱することにより、下部ゲート電極3と下部ゲート絶縁膜4との反応がすすみ、両者がボンディングされる。強くなる。この工程は、上記1)で十分に密着が可能の際は省略可能である。

3) 電解効果型トランジスタを作製する側のシリコンのチャネル層5を、ラッピング、機械研磨、化学研磨等の手法で所望の厚さにする。そして、マスクを用いてチャネル層5、下部ゲート絶縁膜4、下部ゲート電極3をエッチングし、電解効果型トランジスタを作製する領域のパターニングを行う（図2(b)、図2(c)）。

【0014】4) 試料全体に酸化シリコン6の膜を形成し（図2(d)）、エッチバックを行って、電解効果型トランジスタを作製する領域のシリコン表面を露出させる（図3(a)）。

5) これ以後は標準のMOS電解効果型トランジスタの作製手法を同様の工程を行う。すなわち、チャネル層5の表面を熱酸化し、上部ゲート絶縁膜7を形成する（図3(b)）。

6) 上部ゲート絶縁膜7の上に上部ゲート電極8を形成し、ついでサイドウォール9を形成する（図3(c)）。

7) 上部ゲート電極8、サイドウォール9をマスクにして、イオン注入、あるいは不純物ドーピングしたシリケートガラスを用いた熱拡散によりソース、ドレインの不純物拡散領域10を形成する（図3(d)）。

8) 最後にソース、ドレインの金属電極11を形成して作製を完了する（図3(e)）。

#### 【0015】(3) 第2の実施の形態

図4及び図8に、本発明に係る半導体製造方法についての第2の実施の形態の工程図を示す。この製造方法は、SOI基板を2枚用いる第1の方法である。以下に、シリコン層/酸化シリコン層/シリコン層から構成されるSOI基板を2枚用いる手法について、図4及び図8を用いて説明する。

1) 一方のSOI基板については、一方のシリコン層に不純物をイオン注入、固相拡散等の手法で高ドーピングして低抵抗層を形成して下部ゲート電極3として用いる。こうして、シリコン半導体基板1、酸化シリコン2、下部ゲート電極3として用いられる部分が形成される（図4(a)）。他のもう一枚のSOI基板については、一方のシリコン層表面を酸化し、下部ゲート絶縁膜4を形成する。こうして、シリコン層12、酸化シリコン層13、チャネル層5、下部ゲート絶縁膜4として用いられる部分が形成される（図4(b)）。2つのSOI基板は、片方は下部ゲート電極3としての低抵抗シリコンが露出し、片方はゲート絶縁膜4としての酸化シリコン膜が形成されている状態になる。これら両者を密着して張り合わせる。（図4(c)、図4(d)）

2) ついで、高温の酸化炉内で過熱することにより、両者がボンディングが強固になる。この工程は、上記1)で十分に密着が可能の際は省略可能である。

3) 上側のSOI基板の図4(d)の張り合わせた構造におけるシリコン層12を酸化シリコン層13をエッチングストッパーとし、水酸化カリウム(KOH)溶液を用いてエッチングする（図8(a)）。

4) ついで、上側のSOI基板の図8(a)における酸化シリコン層13を弗酸(HF)あるいは緩衝弗酸でエッチングにより除去する（図8(b)）。露出したシリコン層が電解効果型トランジスタのチャネル層5を形成する領域となる。

5) 図8(c)以下の工程では、図2(b)以下の工程と同様の手法でダブルゲート電解効果トランジスタを作製する。

#### 【0016】(4) 第3の実施の形態

図5及び図8に、本発明に係る半導体製造方法についての第3の実施の形態の工程図を示す。この製造方法は、SOI基板を2枚用いる第2の方法である。以下に、2枚のSOI基板を用いる手法について、図5、図8を用いて

説明する。

1) シリコン層／酸化シリコン層／シリコン層から構成される一方のSOI基板については、一方のシリコン層に不純物をイオン注入、固相拡散等の手法で高ドーブにドーピングして低抵抗層を形成して下部ゲート電極3として用いる(図5(a))。さらに、下部ゲート層3の低抵抗層表面を酸化し、下部ゲート絶縁膜4を形成する。こうして、シリコン半導体基板1、酸化シリコン2、下部ゲート層3、下部ゲート絶縁膜4として用いられる部分が形成される(図5(b))。他のもう一枚のSOI基板については、シリコン基板12、酸化シリコン層13、チャンネル層5として用いる。これら一方の基板の下部ゲート絶縁膜4と、他方のSOI基板のチャンネル層5とを密着して張り合わせる(図5(c)、図5(d))。

2) ついで高温の酸化炉内で過熱することにより、両者がボンディングが強固になる。この工程は、上記1)で十分に密着が可能な際は省略可能である。

3) 上側のSOI基板の図5(d)の張り合わせた構造におけるシリコン基板12を、酸化シリコン層13をエッチングストッパーとし、水酸化カリウム(KOH)溶液等を用いてエッチングする(図8(a))。

4) ついで、上側のSOI基板の図8(a)における酸化シリコン層13を弗酸(HF)あるいは緩衝弗酸でエッチングにより除去する(図8(b))。露出したシリコン層チャンネル層5が電解効果型トランジスタのチャンネル層を形成する領域となる。

5) 図8(c)以下の工程では、図2(b)以下と同様の手法でダブルゲート電解効果トランジスタを製作する。

#### 【0017】(5) 第4の実施の形態

図6に、本発明に係る半導体製造方法についての第4の実施の形態の工程図を示す。この製造方法は、SOI基板を1枚、Si基板を1枚用いる第1の方法である。以下に、1枚のSOI基板、1枚のSi基板を用いる手法について、図6を用いて説明する。

1) シリコン層／酸化シリコン層／シリコン層から構成されるSOI基板について、一方のシリコン層に不純物をイオン注入、固相拡散等の手法で高ドーブにドーピングして低抵抗層を形成して下部ゲート電極3として用いる。こうして、シリコン半導体基板1、酸化シリコン2、下部ゲート層3として用いられる部分が形成される(図6(a))。一方、Si基板については、チャンネル層5として用いられるとともに、そのシリコン表面を酸化して下部ゲート絶縁膜4を形成する(図6(b))。こうして、SOI基板はシリコンが露出し、Si基板は酸化シリコン膜が形成されている状態になり、両者を密着して張り合わせる(図6(c)、図6(d))。

2) ついで、高温の酸化炉内で過熱することにより、両者がボンディングが強固になる。この工程は、上記1)で十分に密着が可能な際は省略可能である。

3) チャンネル層5の厚さがチャンネル層として使用するに

は厚い場合、ラッピング、機械研磨、化学研磨等の手法で所望の厚さにする。チャンネル層5が電解効果型トランジスタのチャンネル層を形成する領域となる。

5) 以下は、図2(b)以下の工程と同様の手法でダブルゲート電解効果トランジスタを製作する。

#### 【0018】(6) 第5の実施の形態

図7に、本発明に係る半導体製造方法についての第5の実施の形態の工程図を示す。この製造方法は、SOI基板を1枚、Si基板を1枚用いる第2の方法である。以下に、1枚のSOI基板、1枚のSi基板を用いる手法について、図7を用いて説明する。

1) シリコン層／酸化シリコン層／シリコン層から構成されるSOI基板については、一方のシリコン層に不純物をイオン注入、固相拡散等の手法で高ドーブにドーピングして低抵抗層を形成して下部ゲート電極3として用いる(図7(a))。さらに、下部ゲート層3の低抵抗シリコン層表面を酸化し、下部ゲート絶縁膜4を形成する。こうして、シリコン半導体基板1、酸化シリコン2、下部ゲート層3、下部ゲート絶縁膜4として用いられる部分が形成される(図7(b))。この下部ゲート絶縁膜4と、チャンネル層5として用いられるSi基板を密着して張り合わせる(図7(c)、図7(d))。

2) ついで、高温の酸化炉内で過熱することにより、両者がボンディングが強固になる。この工程は、上記1)で十分に密着が可能な際は省略可能である。

3) チャンネル層5の厚さがチャンネル層として使用するには厚い場合、ラッピング、機械研磨、化学研磨等の手法で所望の厚さにする。チャンネル層5が電解効果型トランジスタのチャンネル層を形成する領域となる。

5) 以下は、図2(b)以下の工程と同様の手法でダブルゲート電解効果トランジスタを製作する。

#### 【0019】(7) 第6の実施の形態

図8～図10に、本発明に係る半導体製造方法についての第6の実施の形態の工程図を示す。この製造方法は、張り合わせで形成したウエハにおいて、下部ゲートと上部ゲートを自己整合的に形成する方法である。

1) 下部ゲートを図8(b)の様に形成した後、チャンネル層5のシリコンを酸化して、上部ゲート絶縁膜7として用いられる部分を形成する(図9(a))。

2) 次に、上部ゲート絶縁膜7上に、上部ゲート電極8及びサイドウォール9を形成する(図9(b))。

3) 形成された上部ゲート電極8及びサイドウォール9をマスクとして、上部ゲート絶縁膜7、チャンネル層5、下部ゲート絶縁膜4、下部ゲート電極3として用いられる部分をエッチングする(図9(c))。

4) 全体に渡って絶縁物として酸化シリコン6を堆積させる。この場合は、酸化シリコンを例に取るが、窒化シリコンでもよく、他の絶縁物でもよい(図10(a))。

5) 酸化シリコン6をエッチングを行い、ゲート領域の頭出しを行う。ついでゲートのサイドウォール9を取り



去る(図10(b))。

6) つぎに、先に形成したサイドウォール9よりも薄いサイドウォール9'を形成する。続いて上部ゲート電極8およびサイドウォール9'をマスクとして、上部ゲート絶縁膜7をエッチングしチャネル層を露出させる(図10(c))。

7) 上部ゲート電極8およびサイドウォール9'をマスクとして、ソース及びドレインの高濃度層拡散領域10をイオン注入、あるいは固相拡散等の手法で形成する。最後に、ソース及びドレインの電極11を金属あるいはシリサイド等で形成する。以上が、自己整合型上部及び下部ゲート形成法である。

【0020】(7)チャネル領域エッチング及び埋め戻し方法の簡略化

図2(b)あるいは図8(c)において、チャネル領域を形成するためにエッチングを行い、更に絶縁物を堆積後、エッチバックしてチャネル領域を埋め戻す手法を、より容易に、かつ確実にを行う方法について下記に述べる。図11に、本発明のチャネル領域エッチング及び埋め戻し処理についての工程図を示す。図2(b)あるいは図8(c)においてチャネル領域のエッチングを行う際、マスクとしてフォトレジストと窒化シリコンを用いる(図11(a))。エッチングは、酸化シリコン2の表面層で止めても(図11(b-1))、下部ゲート電極3の低抵抗シリコン層で止めても良い(図11(b-2))。エッチング後、フォトレジストを除去する。ついでこの試料を酸化炉に入れて酸化を行う。図11(b-1)の試料の場合は、シリコン半導体基板1が酸化されて酸化シリコン層6が成長し、マスクに用いた窒化シリコン表面近傍まで到達する。図11(b-2)試料では下部ゲート電極3の低抵抗シリコン層、あるいは同時にシリコン半導体基板1も酸化されてマスクに用いた窒化シリコン表面近傍まで到達する。最後に表面の窒化シリコンを酸化シリコンと同時にエッチング除去する(図11(d-1)、図11(d-2))。図11(d-1)、図11(d-2)は図3(a)に相当するものである。この後の作製プロセスは図3(a)以下と同様である。

【0021】

【発明の効果】本発明によると、上述のような製造プロセスを採用することで、半導体の作製を極めて容易とし、かつ、現在の大規模集積化に適した大口径ウエハの使用を可能とすることができる。また、本発明によると、このプロセス以外の他のプロセスは、既存のシリコン集積回路作製プロセスと同等のものを採用することに

より、極めて容易で大量生産に適したダブルゲート構造電界効果トランジスタ(MOSFET)等の半導体素子の製造方法を提供することができる。さらに、本発明によると、上部及び下部ゲート電極を同じ又はほぼ同じ大きさに形成し、静電容量を減少させ動作を高速としたダブルゲート構造電界効果トランジスタ(MOSFET)等の半導体素子の製造方法を提供することができる。本発明によると、酸化膜成長を用いることにより、チャネル領域の頭出しを、より容易に且つ確実に行うことができる。

【図面の簡単な説明】

【図1】本発明に係る半導体製造方法により製造される半導体デバイスの構成図。

【図2】本発明に係る半導体製造方法についての第1の実施の形態の工程図(1)。

【図3】本発明に係る半導体製造方法についての第1の実施の形態の工程図(2)。

【図4】本発明に係る半導体製造方法についての第2の実施の形態の工程図(1)。

【図5】本発明に係る半導体製造方法についての第3の実施の形態の工程図(2)。

【図6】本発明に係る半導体製造方法についての第4の実施の形態の工程図。

【図7】本発明に係る半導体製造方法についての第5の実施の形態の工程図。

【図8】本発明に係る半導体製造方法についての第2、第3、第6の実施の形態の工程図。

【図9】本発明に係る半導体製造方法についての第6の実施の形態の工程図。

【図10】本発明に係る半導体製造方法についての第6の実施の形態の工程図。

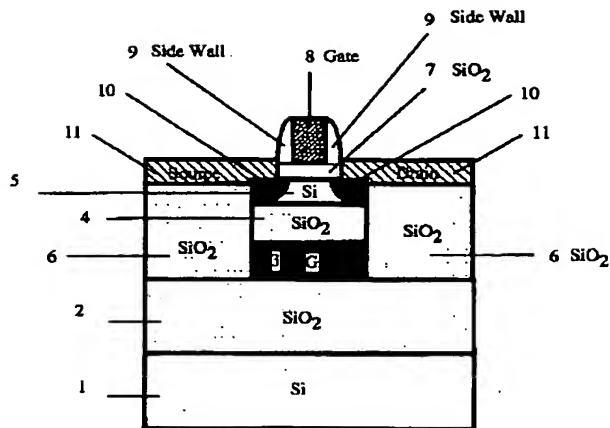
【図11】本発明のチャネル領域エッチング及び埋め戻し処理についての工程図。

【符号の説明】

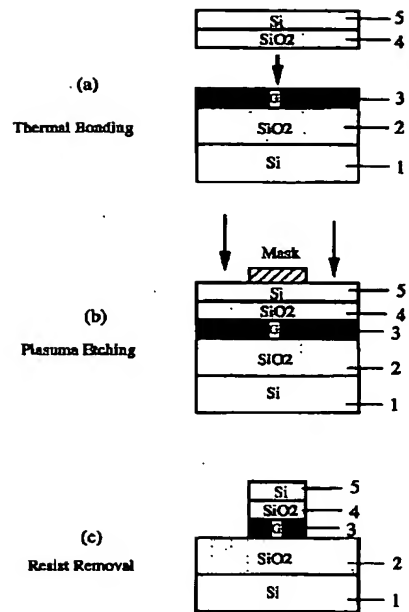
- 1 シリコン半導体基板
- 2 酸化シリコン
- 3 下部ゲート電極
- 4 下部ゲート絶縁膜
- 5 チャネル層
- 6 酸化シリコン
- 7 ゲート絶縁膜
- 8 上部ゲート電極
- 9 サイドウォール
- 10 拡散領域
- 11 電極



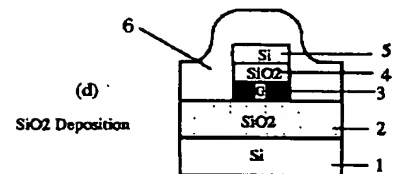
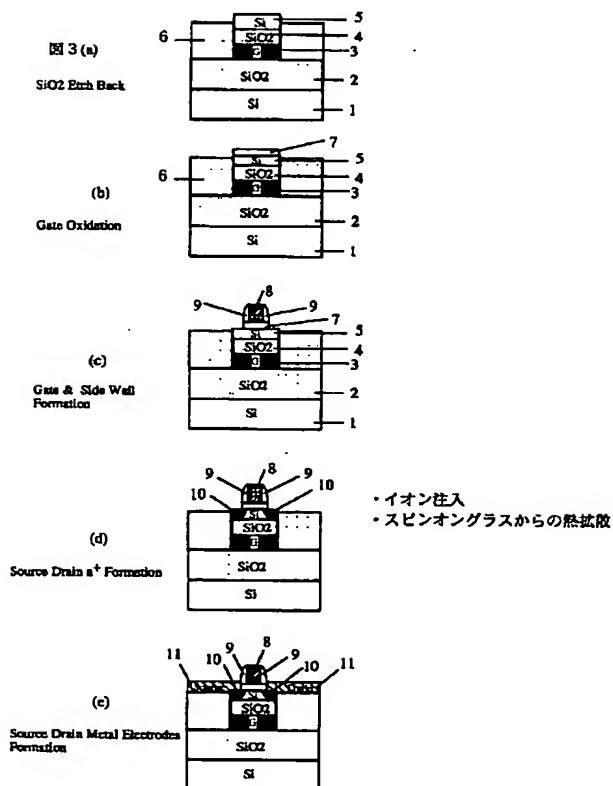
【図1】



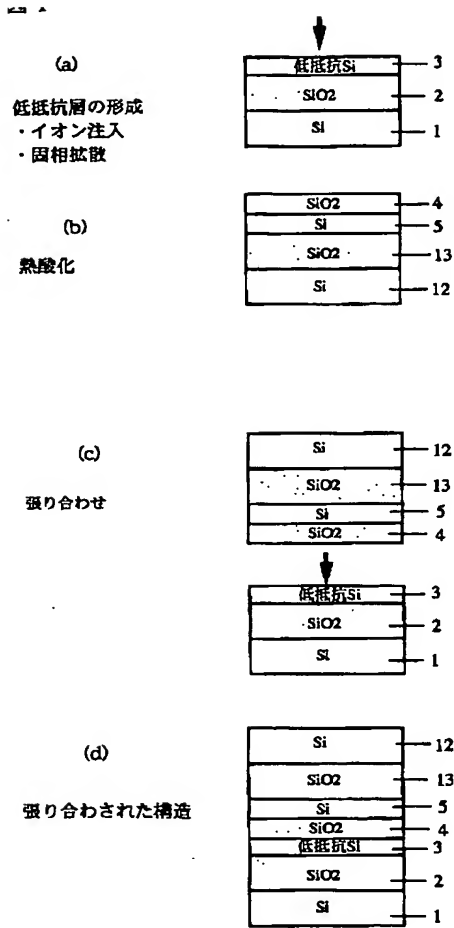
【図2】



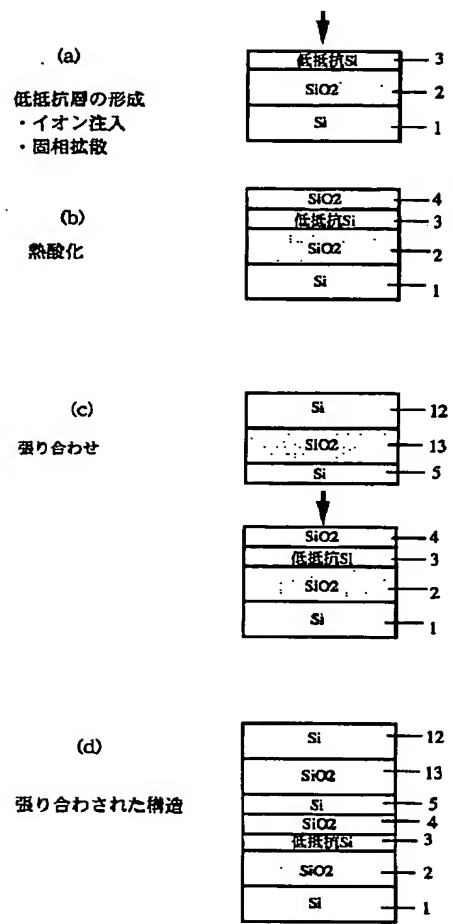
【図3】



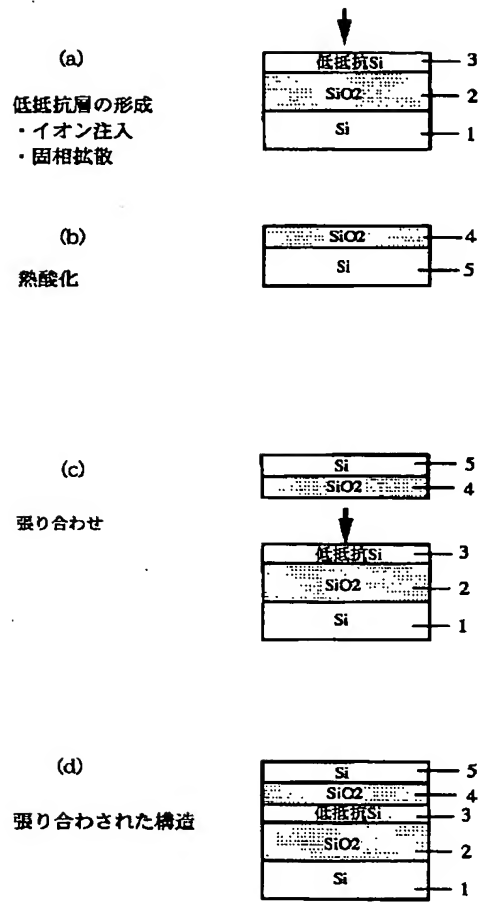
【図4】



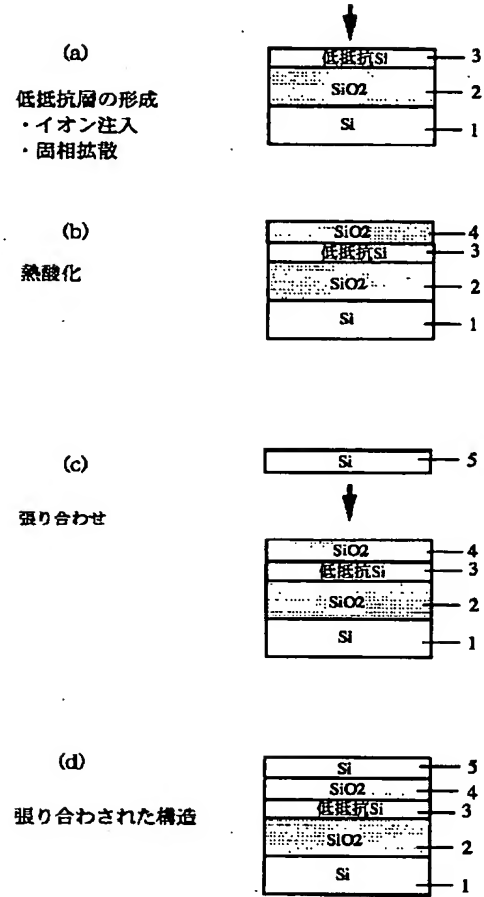
【図5】



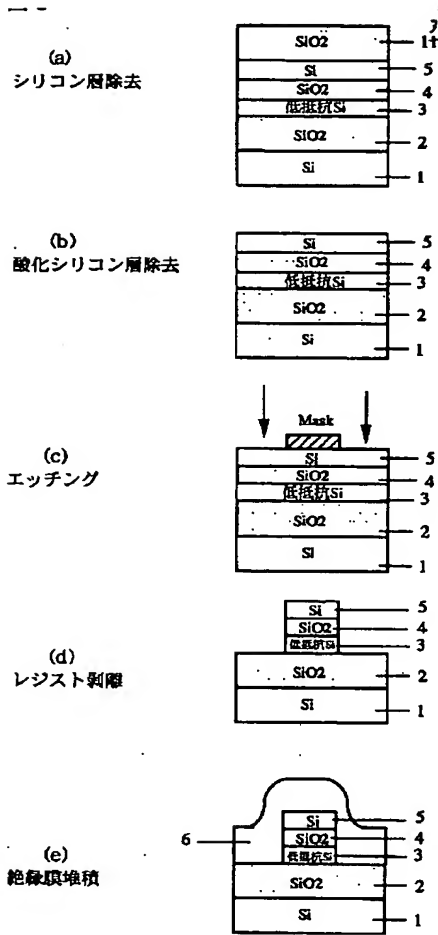
【図6】



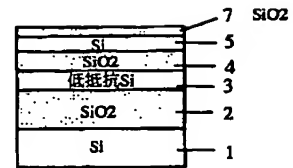
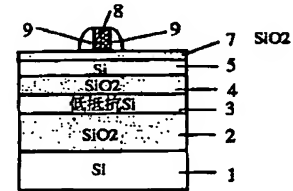
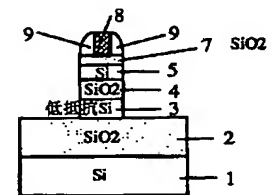
【図7】



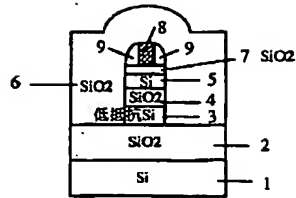
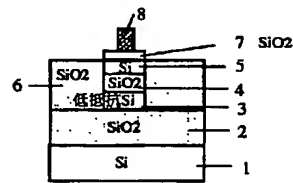
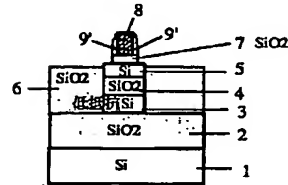
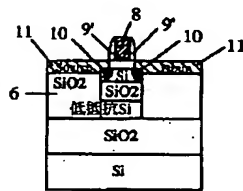
【図8】



【図9】

図9(a)  
ゲート酸化(b)  
ゲート、サイドウォール形成(c)  
ゲート、サイドウォールを  
マスクにしてエッチング

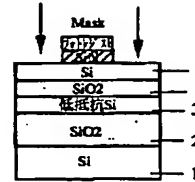
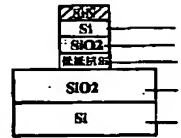
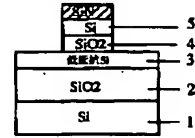
【図10】

図10(a)  
絶縁物(SiO<sub>2</sub>)堆積(b)  
絶縁物(SiO<sub>2</sub>)エッチング、  
ゲートの頭出し  
サイドウォールエッチング(c)  
薄いサイドウォールの形成、  
ゲート酸化膜7のエッチング(d)  
ゲート、薄いサイドウォール  
をマスクにして、ソース、ド  
レインの高濃度層形成、電極  
形成

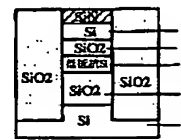
【図11】

図11.

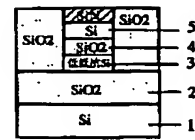
エッチング

(a)  
フォトリソグロウ及びSINを  
マスクにしてエッチング(b-1)  
フォトリソグロウ除去(b-2)  
フォトリソグロウ除去

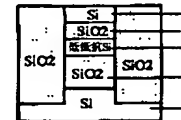
(c-1) 酸化膜成長



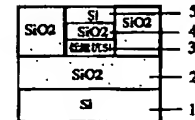
(c-2) 酸化膜成長



(d-1) 窒化膜、酸化膜除去



(d-2) 窒化膜、酸化膜除去



フロントページの続き

(72)発明者 坂本 邦博  
茨城県つくば市梅園1丁目1番4 電子技  
術総合研究所内

Fターム(参考) 5F110 AA16 CC10 DD05 DD13 EE04  
EE08 EE09 EE27 EE30 EE31  
FF02 FF23 GG02 GG12 HJ13  
HJ16 NN62 QQ16 QQ17 QQ19